

MOS-Schaltung

Typ	Bestellnummer	Gehäusebauform
SDA 2006	Q67100-Q264	DIP 18

Allgemeine Eigenschaften

- Elektrisch wortweise umprogrammierbarer, nichtflüchtiger Speicher in n-Kanal-Floating-Gate-Technik
- Speicherkapazität 512 Bit (32 Worte zu je 16 Bit)
- Serielle Wortadreß-, Chipselekt- und Befehlseingabe über ein 8-Bit- bzw. 12-Bit-Steuerwort (durch externe Verdrahtung umschaltbar)
- Lösch- und Schreibdauer durch chipinterne Steuerung festgelegt
- Signalausgänge mit Open-drain-Stufen
- Aktive Signalein- und -ausgänge durch Anschlußbeschaltung invertierbar
- Anzahl der Umprogrammierungen > 10⁴
- Anzahl der Auslesevorgänge ohne Refresh unbegrenzt
- Speicherzeit wenigstens 10 Jahre

Grenzdaten

Speisespannung	$U_{DD\ 2-1}$	22	V
Speisespannung	$U_{PI\ 18-1}$	22	V
Speisespannung	$U_{PH\ 3-1}$	41	V
Eingangsspannung	U_{I-17}	16	V
Gesamtverlustleistung	P_{tot}	400	mW
Wärnwiderstand	$R_{th\ su}$	90	K/W
System-Umgebung	T_s	-40 bis 125	°C

Funktionsbereich (bezogen auf $U_{SS} = 0\text{ V}$)

Speisespannung	$U_{DD\ 2}$	11 bis 16	V
Umgebungstemperatur im Betrieb	T_U	0 bis 70	°C

Statistische Kenndaten (alle Spannungen bezogen auf $U_{SS} = 0 V$)

	min	typ	max
Speisestrom			
Substratvorspannung		10	20
Substratstrom	4		6
Substratstrom, mittlerer Strom		0,5	2
Substratstrom, Impuls-Spitzenstrom		33	10
Programmiererspannung		0,1	35
Programmierstrom, Ruhestrom		2	5
Programmierstrom, mittlerer Strom		5	10
Programmierstrom, Impuls-Spitzenstrom		15	16
Schreibspannung		0,1	20
Schreibstrom, Ruhestrom		5	20
Schreibstrom, mittlerer Strom		15	50
Schreibstrom, Impuls-Spitzenstrom			

Eingänge

D_i			
$\phi/\bar{\phi}$			
REC/REC	0		0,5
($U_H = U_{DD}$)	4		U_{DD}
STWL			10
INV			
CS ₃			
CS ₁ , CS ₂			
(mit nur 12-Bit-Steuernwort: $U_H = U_{DD}$)			
($U_L = 0 V$; $U_H = U_{DD}$)			
RES			
($U_L = 0 V$)			
($U_H = U_{DD}$)			

Ausgänge

$D_4/D_A, \bar{D}_L$			
($I_L = 1 mA$; Open-Drain Stufen)			
($U_H = U_{DD}$)			
$U_{L,14,13}$			0,5
$f_H,14,13$			10

Dynamische Kenndaten

Datenbus

	min	typ	max
t_H	5		
t_L	10		
t_{H1}	10		
t_{L1}	5		
t_{y1}	5		
t_{s1}	5		
t_{r1}	5		
t_{Fprog}		0,1	1
f_{Prog}			1

Bankenabstand

NV auf low oder high

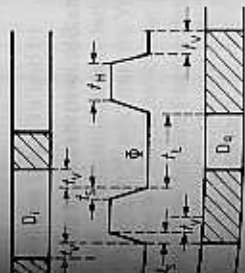
Programmierzeit

Programmierfrequenz

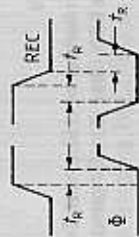
($U_{PH} = 33 V$, $U_{PR} = 15 V$)

Programmierfrequenz

NV auf low



Flankenabstand



*) nur während des Programmierens erforderlich

Schaltungsbeschreibung

Datentransfer

Der Datentransfer mit dem SDA 2006 erfolgt seriell über einen 5-Leitungs-Bus, bestehend aus:

- Dateneingang D_i
- Datenausgang D_q/D_q
- Dateneingabesignal REC/REC (receive data)
- Takteingang ϕ/ϕ
- Programmieraussgangssignal $\overline{L/L}$ (load)

Die aktiven Eingangs- bzw. Ausgangspegel lassen sich über den Eingang INV invertieren. Sie sind als Gruppe umschaltbar, um die Anpassung an unterschiedliche externe Schaltkreise zu erleichtern:

Anschluß	Potential	Bemerkung
INV	low (U_{SS})	
D_i/D_q	high (U_{DD})	
REC/REC	$D_i = \overline{D}_q$	
ϕ/ϕ	low	während Dateneingabe
$\overline{L/L}$	high	aktiver Schiebeeimpuls
	low	bei Umprogrammierung

Chipsteuerung

Die Steuerinformation wird über den Dateneingang D_i in Form eines Steuerwortes eingegeben, dessen Länge sich über den Eingang STWL einstellen läßt:

Anschluß STWL	low	high (offen oder U_{DD})
Steuerwortlänge	8 Bit	12 Bit

Die Steuerworte enthalten Informationen über Wortadresse, Chipadresse und Befehl und haben folgende Formate (A_0 als LSB zuerst):

8-Bit Steuerwort	$A_0 A_1 A_2 A_3 A_4 B_1 B_2 C_3$
12-Bit Steuerwort	$A_0 A_1 A_2 A_3 B_0 B_1 B_2 B_3 A_4 C_1 C_2 C_3$

- mit $A_0 \dots A_4$ Wortadressbits
- $B_0 \dots B_3$ Befehlsbits
- $C_1 \dots C_3$ Chipauswahbits

Befehlskodierung:

12-Bit-Steuerwort		Befehl
B_0	$B_1 B_2 B_3$	
low	high	Auslesen, D_0 als LSB
low	high	Auslesen, D_1 als LSB
low	low	Programmieren

Chipselekt:

Ein Befehl wird in einem Speicher nur dann ausdekodiert, wenn die Information der Chipauswahbits mit der an den Chipselektleitungen übereinstimmt.

Chipselekt - Anschluß Chipselekt - Bit



Mit 8-Bit-Steuerwort bleiben \overline{CS}_1 und \overline{CS}_2 unbeschaltet.

Auslesen (Abb. 1a und b)

Vor dem Lesen des Speichers muß das 8- bzw. 12-Bit-Steuerwort seriell am Dateneingang D_i eingetaktet werden. Zur Eingabe des Steuerwortes sind 8 bzw. 12 Taktimpulse am Eingang ϕ/ϕ erforderlich. Während der Eingabe ist der Eingang REC/REC aktiv (aktiv high für low an INV, aktiv low für high an INV).

Durch die hintere Flanke des REC/REC-Signals wird die Informationsaufnahme abgeschlossen und bei Chipselekt der Auslesebefehl dekodiert. Damit wird auch der Datenausgang D_q/\overline{D}_q niederohmig.

Mit einem weiteren Taktimpuls S wird der Auslesevorgang gestartet. Die Daten werden mit der Rückflanke weiterer Taktimpulse weitergeschoben. Das LSB gelangt mit dem ersten dieser Impulse an den Datenausgang.

Als LSB kann beim Auslesen über das Steuerwort entweder das erste Datenbit D_0 oder das n -te Datenbit D_n gewählt werden. Der Auslesevorgang läßt sich nach einer beliebigen Zahl von Schiebeimpulsen abbrechen. Damit ist jedes abgespeicherte 16-Bit-Speicherwort auch in zwei 8-Bit-Datenworte aufgeteilt auslesbar.

Umprogrammieren (Abb. 2a und b)

Vor Beginn des Programmierens muß mit aktivem REC/REC-Signal zunächst das 16-Bit-Datenwort (D_1 als LSB zuerst), dann das 8- bzw. 12-Bit-Steuerwort am Dateneingang D_i eingetaktet werden. Durch die Rückflanke des REC/REC-Signals wird bei Chipselekt der Programmierbefehl ausdekodiert. Der Umprogrammierungsvorgang beginnt aber erst mit der Rückflanke eines weiteren Taktimpulses und wird dem Speichercontroller über das $\overline{L/L}$ -Signal mitgeteilt.

Die Dauer T_{Prog} des Umprogrammierens ist durch chipinterne Steuerung festgelegt. Unabhängig von den äußeren Betriebsspannungen U_{PH} und U_{FI} wird der Lösch- und der Schreibvorgang erst dann beendet, wenn alle Speicherzellen den gewünschten Zustand erreicht haben. Der Speicher ist während des Umschreibens extern nicht zu beeinflussen, da die Eingänge REC/REC, $\phi/\bar{\phi}$ und D_i verriegelt bleiben. Der Vorgang kann nur durch einen Nullpegel am Eingang RES vorzeitig abgebrochen werden.

Resetfunktionen

Eine Spannung mit Lowpegel am Eingang RES bringt den Speicher in den Reset-Zustand. Der Eingang ist intern mit einem Spannungsteiler beschaltet, der für $U_{DD} > 11\text{ V}$ den Reset-Zustand sicher beendet.

Spannungsversorgung

Der SDA 2006 hat vier herausgeführte Spannungseingänge U_{PH} , U_{FI} , U_{DD} , U_{AB} gegen U_{SS} (Masse-Anschluß). Davon sind U_{DD} und U_{FI} normalerweise extern miteinander verbunden. Die Spannungen U_{PH} und U_{FI} sind nur während des Programmierens erforderlich. Während des Auslesens und in Ruhestellung dürfen sie auch offen sein oder auf Massepotential liegen. Die Beträge dieser Spannungen beeinflussen nur die Dauer, nicht aber die Zuverlässigkeit des nichtflüchtigen Abspeichervorgangs.

Abb. 3 zeigt eine zweckmäßige Beschaltung als Abstimm Speicher in Fernsehgeräten.

invertierter Pegel (Eingang INV auf high oder offen)

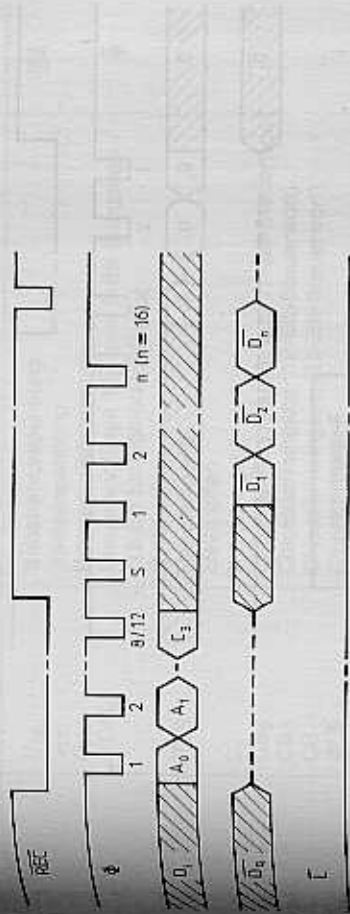


Abb. 1a

Nicht invertierte Pegel (Eingang INV auf low)

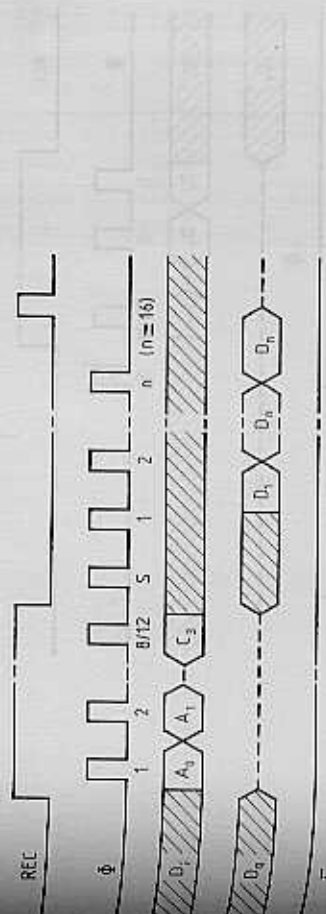


Abb. 1b

Abb. 1a und 1b Lesevorgang (nur die jeweils aktiven Pegel angeben)

Invertierter Pegel (Eingang INV auf high oder offen)

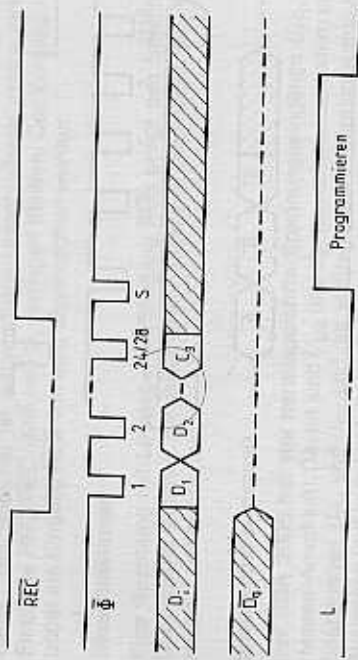


Abb. 2a

Nicht invertierte Pegel (Eingang INV auf low)

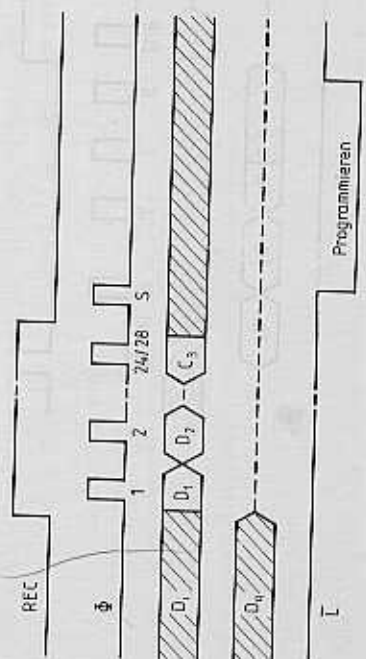


Abb. 2b

Abb. 2a und 2b Programmiervorgang (nur die jeweils aktiven Pegel angeben)

Anschlußbelegung

Anschluß-Nr.	Symbol	Funktion
1	U_{bb}	Substratvorspannung
2	U_{DD}	Speisespannung
3	U_{FH}	Programmierspannung
4	STWL	Steuervortlänge 12- bzw. 8-Bit (Eingang), (12-Bit für high oder offen) bleibt offen
5	RES	Reseteingang
6		bleibt offen
7		bleibt offen
8	D_1	Dateneingang
9	CS_3	Chipselekteneingang (8- und 12-Bit-Steuervort)
10	CS_2	Chipselekteneingang (12-Bit-Steuervort)
11	CS_1	Chipselekteneingang (12-Bit-Steuervort)
12	$\phi/\bar{\phi}$	Clockeingang*
13	L/L	Programmiersignalausgang (load)*
14	D_4/D_3	Datenausgang*
15	INV	Signalinvertierung (Eingang)
16	REC/REC	Dateneingabesteuereingang (receive)*
17	U_{SS}	Masse
18	U_{PI}	Schreibspannung

* Erste Polarität für INV auf low. Zweite Polarität für INV auf high.

Abb. 3: SDA 2006 als Abstimm Speicher in Fernsehgeräten

